

(●)

OS

225
W

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 1月30日
Date of Application:

出願番号 特願2003-021959
Application Number:

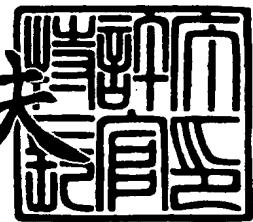
[ST. 10/C] : [JP2003-021959]

出願人 N E C エレクトロニクス株式会社
Applicant(s):

2003年12月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3104137

PATENT
8017-1122

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Noriaki ODA
Appl. No.: NEW NON-PROVISIONAL
Filed: January 22, 2004
Title: SEMICONDUCTOR DEVICE AND METHOD OF
FABRICATON SAME

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 22, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-021959	January 30, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

Benoit Castel

Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/yr

Attachment(s): 1 Certified Copy(ies)

〔 〕

【書類名】 特許願

【整理番号】 74112784

【提出日】 平成15年 1月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 N E C エレクトロニクス株式会社内

【氏名】 小田 典明

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 輝之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216444

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にボンディングパッドを有する半導体装置であつて、

前記ボンディングパッドの下面にバリアメタルを介して形成された上部Cu層と、

前記上部Cu層と比べてCu面積率が同等以下で、前記上部Cu層より前記半導体基板側に形成された下部Cu層と、
を有することを特徴とする半導体装置。

【請求項 2】 半導体基板上にボンディングパッドを有する半導体装置であつて、

前記ボンディングパッドの下面にバリアメタルを介して形成され、回路配線が形成される層よりもCu面積率が大きな上部Cu層と、

前記上部Cu層と電気的に絶縁され、前記上部Cu層よりも前記半導体基板側に形成された下部Cu層と、
を有することを特徴とする半導体装置。

【請求項 3】 請求項1または2記載の半導体装置であつて、

上部Cu層はCu面積率が70%以上95%以下であることを特徴とする半導体装置。

【請求項 4】 請求項1乃至3のいずれか1項記載の半導体装置であつて、
ボンディングパッドおよび上部Cu層は平面寸法が略同一であることを特徴とする半導体装置。

【請求項 5】 請求項1乃至4のいずれか1項記載の半導体装置であつて、
上部Cu層が複数からなることを特徴とする半導体装置。

【請求項 6】 請求項5に記載の半導体装置であつて、
複数の上部Cu層における各Cu層のCu面積率が同一であることを特徴とする半導体装置。

【請求項 7】 請求項5または6記載の半導体装置であつて、

複数の上部Cu層の層間には層間絶縁膜が設けられ、
前記各Cu層は、前記層間絶縁膜中にCuが埋設されたビアプラグを介して接続されていることを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置であって、
複数の上部Cu層として、半導体基板側からボンディングパッド側に第1Cu層、第2Cu層、…、および第nCu層（nは2以上の自然数）が順に設けられている場合、

ビアプラグ、および前記第nCu層のCu層パターンが第1の材料よりなる絶縁膜に埋設されていることを特徴とする半導体装置。

【請求項9】 請求項1乃至8のいずれか1項記載の半導体装置であって、
下部Cu層はCu面積率が15%以上95%以下であることを特徴とする半導体装置。

【請求項10】 請求項1乃至9のいずれか1項記載の半導体装置であって
下部Cu層が複数からなることを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置であって、
複数の下部Cu層における各Cu層のCu面積率が同一であることを特徴とする半導体装置。

【請求項12】 請求項10または11記載の半導体装置であって、
複数の下部Cu層の各Cu層間に第1の材料よりなる絶縁膜が介在することを特徴とする半導体装置。

【請求項13】 請求項10乃至12のいずれか1項記載の半導体装置であって、
複数の下部Cu層の各Cu層において同一層に形成されたCu層パターン間に、第1の材料に比べて比誘電率が低い材料を有する第2の材料よりなる絶縁膜が介在することを特徴とする半導体装置。

【請求項14】 請求項13に記載の半導体装置であって、
第2の材料が第1の材料よりも軟質であることを特徴とする半導体装置。

【請求項15】 請求項13または14に記載の半導体装置であって、

第2の材料よりなる絶縁膜は、SiOC膜、SiC膜、SiOF膜、ポーラスSiO₂膜、ポーラスSiOC膜、および梯子型水素化シリコキサン構造を有するラダーオキサイド膜のうちいずれか一つを含むことを特徴とする半導体装置。

【請求項16】 請求項10、11、および13乃至15記載の半導体装置であって、

複数の下部Cu層の各Cu層間に、第1の材料に比べて比誘電率が低い材料を有する第3の材料よりなる絶縁膜が介在することを特徴とする半導体装置。

【請求項17】 請求項16に記載の半導体装置であって、

第3の材料が第1の材料よりも軟質であることを特徴とする半導体装置。

【請求項18】 請求項16または17に記載の半導体装置であって、

第3の材料よりなる絶縁膜は、SiOC膜、SiC膜、SiOF膜、ポーラスSiO₂膜、ポーラスSiOC膜、および梯子型水素化シリコキサン構造を有するラダーオキサイド膜のうちいずれか一つを含むことを特徴とする半導体装置。

【請求項19】 請求項1乃至18のいずれか1項記載の半導体装置であって、

バリアメタルがTiNおよびTaNのうちいずれか一方を含むことを特徴とする半導体装置。

【請求項20】 請求項1乃至19のいずれか1項記載の半導体装置であって、

前記半導体装置に内部回路を備え、

前記内部回路およびボンディングパッドと電気的に接続された補助Cu配線を有することを特徴とする半導体装置。

【請求項21】 請求項1乃至20のいずれか1項記載の半導体装置の製造方法であって、

上部Cu層および下部Cu層をダマシン法により形成することを特徴とする半導体装置の製造方法。

【請求項22】 請求項8乃至10、19、および20のいずれか1項記載の半導体装置の製造方法であって、

第nCu層および該第nCu層に接触するビアプラグをデュアルダマシン法に

より形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ワイヤーボンディングのためのボンディングパッドを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来、銅 (Cu) 配線を用いた半導体装置において、Cu配線上にボンディングパッドを形成する際、ボンディング部分をCu配線上からずれた位置に設けるようになっているものがある（例えば、特許文献1参照）。

【0003】

図5は従来技術による半導体装置の一構成例を示す断面構造図である。

【0004】

図5では、半導体基板100上に形成されたCu配線700上に複数のCuパッドが設けられ、Cu最上層パッド710上にバリアメタル720を介して最上層A1配線730が形成されている。そして、上述のように、最上層A1配線730のボンディング部分735がCu配線700上からずれた位置にある。そのため、ボンディング時のストレスがボンディング部分735の下層のパッシベーション絶縁膜740および層間絶縁膜750にかかり、Cu配線700へのストレスの影響が低減され、Cu配線700が表面に露出することを防げる。

【0005】

【特許文献1】

特開2001-15516号公報（第4頁～第5頁、第2図）

【0006】

【発明が解決しようとする課題】

上述した公報に示される半導体装置は、次のような問題があった。

【0007】

Cu配線上からずれた位置にボンディング部分を設けると、その分ボンディング

グパッドの面積が大きくなり、チップサイズの拡大化を招くことになる。

【0008】

また、酸化膜よりも比誘電率が小さい低比誘電率膜がボンディング部分の下に存在する場合、プロービングやボンディング時の針の荷重によりボンディングパッドが沈み込み、ボンディングパッド下の層間絶縁膜にクラックが発生したり、ボンディングパッドの膜剥れが生じたりする。

【0009】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、プロービングおよびボンディング時のボンディングパッドへの衝撃に対する耐性（以下、「衝撃耐性」と称する）を向上させた半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するための本発明の半導体装置は、半導体基板上にボンディングパッドを有する半導体装置であって、

前記ボンディングパッドの下面にバリアメタルを介して形成された上部Cu層と、

前記上部Cu層と比べてCu面積率が同等以下で、前記上部Cu層より前記半導体基板側に形成された下部Cu層と、
を有する構成である。

【0011】

また、本発明の半導体装置は、半導体基板上にボンディングパッドを有する半導体装置であって、

前記ボンディングパッドの下面にバリアメタルを介して形成され、回路配線が形成される層よりもCu面積率が大きな上部Cu層と、

前記上部Cu層と電気的に絶縁され、前記上部Cu層よりも前記半導体基板側に形成された下部Cu層と、
を有する構成である。

【0012】

また、上記本発明の半導体装置において、上部Cu層はCu面積率が70%以上95%以下であることとしてもよく、ボンディングパッドおよび上部Cu層は平面寸法が略同一であることとしてもよい。

【0013】

また、上記本発明の半導体装置において、上部Cu層が複数からなることとしてもよく、複数の上部Cu層における各Cu層のCu面積率が同一であることとしてもよい。

【0014】

また、上記本発明の半導体装置において、複数の上部Cu層の層間には層間絶縁膜が設けられ、

前記各Cu層は、前記層間絶縁膜中にCuが埋設されたビアプラグを介して接続されていることとしてもよい。

【0015】

また、上記本発明の半導体装置において、複数の上部Cu層として、半導体基板側からボンディングパッド側に第1Cu層、第2Cu層、…、および第nCu層（nは2以上の自然数）が順に設けられている場合、

ビアプラグ、および前記第nCu層のCu層パターンが第1の材料よりなる絶縁膜に埋設されていることとしてもよい。

【0016】

また、上記本発明の半導体装置において、下部Cu層はCu面積率が15%以上95%以下であることとしてもよく、下部Cu層が複数からなることとしてもよい。

【0017】

また、上記本発明の半導体装置において、複数の下部Cu層における各Cu層のCu面積率が同一であることとしてもよく、複数の下部Cu層の各Cu層間に第1の材料よりなる絶縁膜が介在することとしてもよい。

【0018】

また、上記本発明の半導体装置において、複数の下部Cu層の各Cu層において同一層に形成されたCu層パターン間に、第1の材料に比べて比誘電率が低い

材料を有する第2の材料よりなる絶縁膜が介在することとしてもよく、第2の材料が第1の材料よりも軟質であることとしてもよい。

【0019】

また、上記本発明の半導体装置において、第2の材料よりなる絶縁膜は、SiOC膜、SiC膜、SiOF膜、ポーラスSiO₂膜、ポーラスSiOC膜、および梯子型水素化シロキサン構造を有するラダーオキサイド膜のうちいずれか一つを含むこととしてもよい。

【0020】

また、上記本発明の半導体装置において、複数の下部Cu層の各Cu層間に、第1の材料に比べて比誘電率が低い材料を有する第3の材料よりなる絶縁膜が介在することとしてもよく、第3の材料が第1の材料よりも軟質であることとしてもよい。

【0021】

また、上記本発明の半導体装置において、第3の材料よりなる絶縁膜は、SiOC膜、SiC膜、SiOF膜、ポーラスSiO₂膜、ポーラスSiOC膜、および梯子型水素化シロキサン構造を有するラダーオキサイド膜のうちいずれか一つを含むこととしてもよい。

【0022】

また、上記本発明の半導体装置において、バリアメタルがTiNおよびTaNのうちいずれか一方を含むこととしてもよい。

【0023】

さらに、上記本発明の半導体装置において、前記半導体装置に内部回路を備え、前記内部回路およびボンディングパッドと電気的に接続された補助Cu配線を有することとしてもよい。

【0024】

一方、上記目的を達成するための本発明の半導体装置の製造方法は、上部Cu層および下部Cu層をダマシン法により形成するものである。

【0025】

また、本発明の半導体装置の製造方法は、第nCu層および該第nCu層に接觸するビアプラグをデュアルダマシン法により形成するものである。

【0026】

(作用)

上記のように構成される本発明では、Cuは外部から加えられた力を跳ね返そうとする性質である弾性が酸化膜より大きいため、ボンディングパッド下に、耐衝撃層として、上部Cu層、および上部Cu層と同等以下のCu面積率を有する下部Cu層を設けることで、プロービングおよびボンディング時の衝撃に対する耐性が向上する。

【0027】

また、本発明では、Cuは弾性が酸化膜より大きいため、ボンディングパッド下に、回路配線が形成される層よりもCu面積率が大きい上部Cu層、および下部Cu層を設けることで、プロービングおよびボンディング時の衝撃に対する耐性が向上する。

【0028】

また、本発明では、上部Cu層のCu面積率を70%以上95%以下にすることで、プロービングおよびボンディング時の衝撃耐性がより向上する。

【0029】

また、本発明では、ボンディングパッドと上部Cu層との平面パターンの寸法が同一なので、ボンディングパッドと上部Cu層との接触面積が十分得られる。

【0030】

また、本発明では、上部Cu層を複数にすることで、衝撃が各Cu層に分散する。また、本発明では、上部各Cu層のCu面積率が同一であるため、衝撃がより均等に分散する。

【0031】

また、本発明では、上部各Cu層がビアプラグを介して接続されているため、最上層の衝撃が他の層に、より分散しやすくなる。

【0032】

また、本発明では、上部第nCu層およびビアプラグが埋設された、第1の材

料よりなる絶縁膜が硬質であるため、ボンディング時に最も大きな衝撃力を受ける上部第nCu層およびビアプラグを絶縁膜が均一に支持する。

【0033】

また、本発明では、下部Cu層のCu面積率を15%以上95%以下にすることで、衝撃耐性をさらに向上することができる。そのため、下部Cu層をCu面積率15%以上95%以下の回路配線層として利用し、ボンディングパッドの下の領域を有効に活用できる。

【0034】

また、本発明では、下部Cu層を複数にすることで、下部Cu層に伝わる衝撃が各層に分散する。

【0035】

また、本発明では、下部各Cu層のCu面積率が同一であるため、下部Cu層に伝わる衝撃がより均等に分散する。

【0036】

また、本発明では、下部Cu層の各Cu層間に、第1の材料よりなる絶縁膜を用いることで、絶縁膜が下部Cu層をより均一に支持する。

【0037】

また、本発明では、上部Cu層および下部Cu層を設け、ボンディングパッドへの衝撃耐性が向上することにより、第1の材料よりも比誘電率の低い材料を有する第2の材料よりなる絶縁膜を下部Cu層の層間絶縁膜に用いることができ、異なる配線層の間の配線間容量を低減できる。

【0038】

また、本発明では、上部Cu層および下部Cu層を設け、ボンディングパッドへの衝撃耐性が向上することにより、第1の材料よりも軟質な第2の材料よりなる絶縁膜を下部Cu層の層間絶縁膜に用いることができる。

【0039】

また、本発明では、上部Cu層および下部Cu層を設け、ボンディングパッドへの衝撃耐性が向上することにより、第1の材料よりも比誘電率の低い材料を有する第3の材料よりなる絶縁膜を下部Cu層に介在する絶縁膜に用いることがで

き、同一層に形成される配線同士の間の容量を低減できる。

【0040】

また、本発明では、上部Cu層および下部Cu層を設け、ボンディングパッドへの衝撃耐性が向上することにより、第1の材料よりも軟質な第3の材料よりも絶縁膜を下部Cu層に介在する絶縁膜に用いることができる。

【0041】

また、本発明では、バリアメタルとして、TiNおよびTaNのうちいずれか一つを用いることで、AlとCuとが相互に拡散することを防げる。

【0042】

さらに、本発明では、ボンディングパッドと補助Cu配線とが接続されているため、ボンディング時の衝撃で上部Cu層にクラックが入って接続不良になっても、ボンディングパッドと内部回路との電気的接続を確保できる。

【0043】

【発明の実施の形態】

本発明の半導体装置は、耐衝撃層として、ボンディングパッドの下層にバリアメタルを介して形成された上部Cu層と、この上部Cu層と電気的に絶縁された下部Cu層とを設けたことを特徴とする。

【0044】

(第1実施例)

本発明の半導体装置の構成について説明する。

【0045】

図1は本発明の半導体装置の一構成例を示す平面図および断面構造図である。

【0046】

図1 (b) の断面構造図に示すように、本発明の半導体装置は、アルミニウム(Al)を主成分とする金属膜を含むボンディングパッド130の下層に、アルミニウムが下層に含まれる元素と反応するのを防ぐためのバリアメタルを介して形成された、衝撃耐性向上のための上部Cu層100を有する構成である。

【0047】

上部Cu層100およびボンディングパッド130は平面寸法が略同一（誤差

の範囲内で同一であることを意味する) であり、上部Cu層100がボンディングパッド130を下方から均一に支持する。

【0048】

また、図1 (b) に示すように、衝撃耐性をより向上させるために、上部Cu層100の下層に酸化膜 (SiO₂膜) 32を介して、上部Cu層100と電気的に絶縁された下部Cu層200を設けている。上部Cu層100および下部Cu層200の間に低比誘電率膜よりも硬質な絶縁膜のSiO₂膜32を設けることで、ボンディング時に加わる力による沈み込みを防止している。

【0049】

本実施例では、上部Cu層100は上部第1Cu層110および上部第2Cu層120の2層を有し、この2層は、Cuを主成分とするビアプラグ140で電気的に接続されている。このように、上部Cu層100を複数の層にすることで、ボンディングパッド130に加わる衝撃が各層に分散されるため、より衝撃耐性が向上する。

【0050】

上部第2Cu層120およびビアプラグ140のそれぞれは、第1の材料となる絶縁膜であるSiO₂膜42、44にそれぞれ埋設されている。上部第2Cu層120およびビアプラグ140が埋設された絶縁膜が硬質であるため、絶縁膜が上部第2Cu層120およびビアプラグ140を均一に支持する。上部第2Cu層120およびビアプラグ140はボンディング時に加わる力を最も大きく受ける部分であるため、上部第2Cu層120およびビアプラグ140を、低比誘電率膜よりも硬質な絶縁膜のSiO₂膜に埋設することが望ましい。

【0051】

また、下部Cu層200は下部第1Cu層210および下部第2Cu層220の2層を有する。この2層は、SiO₂膜22で絶縁されている。下部Cu層200を複数のCu層にすることで、上述の上部Cu層100と同様な効果がある。下部第1Cu層210のCu層パターン間には、梯子型水素化シロキサン構造を持つ低比誘電率膜であるラダーオキサイド (L-Ox (NECエレクトロニクス株式会社の商標 (出願中))) 膜、およびSiO₂膜からなる積層絶縁膜14

が介在している。下部第2Cu層220についても、同様に、L-Ox膜およびSiO₂膜からなる積層絶縁膜24がCu層パターン間に介在している。第1の材料に比べて比誘電率が低い第2の材料を有する絶縁膜としてL-Ox膜を用いることにより、下部Cu層200と同一層に形成されるCu配線の配線間容量が低減される。

【0052】

さらに、本発明の半導体装置は、半導体基板10上に形成された、トランジスタ、抵抗およびキャパシタ等の半導体素子と、これらの半導体素子を接続するための回路配線とを有する内部回路を備えている。回路配線は、例えば、上部Cu層100および下部Cu層200のうちいずれかと同一層に形成されたCu層、半導体基板10に形成された拡散層、ならびに不純物拡散されたポリシリコン等の導電層により形成される。ボンディングパッド130は、上部Cu層100を介して内部回路と接続されている。なお、半導体素子、回路配線および内部回路については、図に示すことを省略している。

【0053】

次に、上部Cu層100および下部Cu層200の平面パターンについて説明する。

【0054】

図1 (a) は上部第1Cu層110の平面パターンとして設けられたダミーパターンの一例を示す模式図であり、鎖線部分の断面構造が図1 (b) に示されている。なお、上部第2Cu層120の平面パターンについては上部第1Cu層110と同様なため、以下では、説明を省略する。

【0055】

図に示すように、上部第1Cu層110の平面パターンは、Cuの面積密度が均一になるように、L-Ox膜およびSiO₂膜からなる積層絶縁膜34の方形状パターンがCu層に複数配置された構成である。上部第1Cu層110について、平面パターンのCu面積占有率であるCu面積率は、衝撃耐性を向上させるために、回路配線が形成される層よりも大きい。実験結果から、Cu面積率は70%以上であることが望ましい。また、Cu層のCMP (Chemical M

echanical Polishing) 処理の際のディッシングを防止するため、Cu面積率は95%以下であることが望ましい。

【0056】

図1 (c) は下部第1Cu層210の平面パターンとして設けられたダミーパターンの一例を示す模式図であり、鎖線部分の断面構造が図1 (b) に示されている。なお、下部第2Cu層220の平面パターンについては下部第1Cu層210と同様なため、以下では、説明を省略する。

【0057】

図に示すように、下部第1Cu層210の平面パターンは、Cuの面積密度が均一になるように、十字状パターンの積層絶縁膜14がCu層に複数配置された構成である。下部第1Cu層210のCu面積率は、衝撃耐性をより向上させるために15%以上であることが望ましく、上部Cu層100と同様の理由で95%以下であることが望ましい。また、下部Cu層200は上部Cu層100に比べてボンディング時に受ける衝撃力が小さいため、下部Cu層200のCu面積率は上部Cu層100と比べて同等以下であってもよい。

【0058】

なお、下部Cu層200の平面パターンは、上部Cu層100と電気的に絶縁されているため、ダミーパターンの代わりに、回路配線のためのパターンであってもよい。下部Cu層200を回路配線層として利用することで、ボンディングパッド130の下の領域を有効に活用できる。このとき、下部Cu層200のCu面積率は上部Cu層100のCu面積率より小さくなる。また、下部第1Cu層210および下部第2Cu層220は、層間絶縁膜で電気的に絶縁されているが、ビアプラグを介して電気的に接続するようにしてもよい。

【0059】

次に、図1 (b) に示した断面構造図を用いて、本実施例の半導体装置の製造方法について説明する。以下では、ボンディングパッド130の衝撃耐性向上のための部分について説明し、耐衝撃層となる各Cu層と同一層に形成される回路配線についての詳細な説明は省略する。

【0060】

半導体基板 10 の上に図に示さないトランジスタ、抵抗およびキャパシタ等の半導体素子を形成し、その上にCVD法により、層間絶縁膜としてSiO₂膜12を300～500 nm形成し、エッチング停止のための膜（以下、「エッチングストッパー膜」と称する）としてStopper-SiCN膜13を30～50 nm形成する。

【0061】

続いて、Stopper-SiCN膜13の上に、塗布法および焼成処理によりL-Ox膜を300～500 nm形成し、その上にSiO₂膜を100～200 nm成膜して、L-Ox膜およびSiO₂膜からなる積層絶縁膜14を形成する。その後、ホトリソグラフィー工程（以下、「ホトリソ工程」と称する）によりレジストパターンを積層絶縁膜14上に形成し、エッチング工程により、所定のダミーパターン、および図に示さない回路配線を形成するための配線用溝部を積層絶縁膜14に形成した後、レジストパターンを除去する。

【0062】

ダミーパターンおよび配線用溝部が形成された積層絶縁膜14上にバリアメタルを30～50 nm、シード層を50～200 nm成膜し、その上に電解メッキ法でCu膜を500～1000 nm成膜する。続いて、CMP処理により積層絶縁膜14の上面が露出するまでCu膜を研磨した後、Cu拡散防止膜としてCap-SiCN膜15を30～50 nm成膜する。このようにして、図1(c)に示した平面パターンを有する下部第1Cu層210を形成する。

【0063】

その後、下部第1Cu層210の上にSiO₂膜22を300～500 nm形成し、上記下部第1Cu層210と同様にして、下部第2Cu層220を形成する。

【0064】

次に、下部第2Cu層220の上にSiO₂膜32を300～500 nmおよびStopper-SiCN膜33を30～50 nm形成する。続いて、膜厚300～500 nmのL-Ox膜、および膜厚100～200 nmのSiO₂膜からなる積層絶縁膜34を形成する。その後、ホトリソ工程によりレジストパター

ンを積層絶縁膜34上に形成し、エッティング工程により、所定のダミーパターン、および図に示さない回路配線を形成するための配線用溝部を積層絶縁膜34に形成した後、レジストパターンを除去する。

【0065】

ダミーパターンおよび配線用溝部が形成された積層絶縁膜34上にバリアメタルを30～50nm、シード層を50～100nm、およびCu膜を600～1000nm成膜する。続いて、CMP処理により積層絶縁膜34の上面が露出するまでCu膜を研磨した後、Cap-SiCN膜35を30～50nm成膜する。このようにして、図1(a)に示した平面パターンを有する上部第1Cu層110を形成する。

【0066】

次に、上部第1Cu層110の上にSiO₂膜42を300～500nm、Stopper-SiCN膜43を50～70nm、およびSiO₂膜44を300～500nm形成する。続いて、ホトリソ工程によりビアプラグ140形成のためのレジストパターンをSiO₂膜44上に形成し、Cap-SiCN膜35が露出するまでエッティングしてビア部を形成した後、レジストパターンを除去する。その後、ホトリソ工程により上部第2Cu層120形成のためのレジストパターンをSiO₂膜44上に形成し、エッティング工程によりSiO₂膜44に図1(a)で示したパターンを形成する。そして、レジストパターン除去後に、ビア底部のCap-SiCN膜35をエッティングにより除去する。

【0067】

続いて、バリアメタルを30～50nm、シード層を50～100nm、およびCu膜を600～1000nm成膜する。そして、CMP処理によりSiO₂膜44上面が露出するまでCu膜を研磨した後、Cap-SiCN膜45を30～50nm成膜する。このようにして、図1(a)に示した平面パターンを有する上部第2Cu層120を形成する。

【0068】

次に、Cap-SiCN膜45の上にSiO₂膜52を300～500nm形成し、ホトリソ工程により、上部第2Cu層120上に開口部を設けるためのレ

ジストパターンをSiO₂膜52上に形成する。続いて、エッチング工程により、露出したSiO₂膜52、およびその下層のCap-SiCN膜45をエッチングして、上部第2Cu層120とボンディングパッド130とを接続するための開口部を形成する。レジストパターンを除去した後、スパッタリング法により、バリアメタルとしてTiN膜54を100～200nm、Al-Cu(0.5%)膜を800～1000nm、および反射防止膜としてTiN膜64を50～100nm成膜する。

【0069】

続いて、ホトリソ工程によりボンディングパッド130を形成するためのレジストパターンをTiN膜64上に形成し、エッチング工程によりボンディングパッド130を形成した後、レジストパターンを除去する。そして、ボンディングパッド130上のTiN64を覆うようにSiO₂膜62を100～200nm形成し、SiO₂膜62の上にポリイミド膜66を800～1000nm形成する。

【0070】

ホトリソ工程によりボンディングパッド130上のポリイミド膜66に開口部を形成し、開口部のSiO₂膜62およびTiN膜64をエッチングして、ボンディングパッド130を露出させる。

【0071】

本実施例では、外部から加えられた力を跳ね返そうとする性質である弾性が酸化膜より大きいCu層を、ボンディングパッド130下にバリアメタルを介して形成することにより、プロービングやボンディング時に針が跳ね返りやすく、下方に衝撃が伝わりにくくなる。そのため、衝撃耐性が向上し、ボンディングパッドにプロービングの針を立ててもパッドが破壊されることを防げる。

【0072】

また、ボンディングパッド130下にCu層が形成されているので、ボンディングの際、金ワイヤーとボンディングパッド130とを共晶させるための超音波がL-Ox膜等の低比誘電率膜に吸収されることなく金ワイヤーとボンディングパッド130に十分に伝わり、金ワイヤーとボンディングパッドとの密着性が強

化され、ワイヤブル強度が大きくなる。

【0073】

さらに、ボンディングパッド部の実質的なメタル膜厚がアルミとボンディングパッド下のCu層との和となるので、プロービングおよびボンディングに対する硬度が十分になり、下層のL-Ox膜付近にかかる荷重が軽減される。そのため、クラックが層間絶縁膜に発生することを防げる。

【0074】

(第2実施例)

本実施例は、内部回路に接続された補助Cu配線を設け、補助Cu配線にボンディングパッドを接続したことを特徴とする。

【0075】

図2は本実施例の半導体装置の断面構造図である。

【0076】

図2に示すように、本実施例の半導体装置は、内部回路に接続され、上部第2Cu層120と同一層に形成された補助Cu配線125を有し、ボンディングパッド130と補助Cu配線125とがビアホール150を介して電気的に接続された構成である。

【0077】

本実施例の半導体装置の製造方法について説明する。なお、第1実施例と同様の工程については、その詳細な説明を省略する。

【0078】

上部第1Cu層110を形成するまで、第1実施例と同様に処理する。その後、図1に示したSiO₂膜44に補助Cu配線125形成のための溝部を形成し、上部第2Cu層120を形成する際、図2に示す補助Cu配線125を形成する。上部第2Cu層120上に開口部を設けるためのレジストパターンをSiO₂膜52上に形成する際、補助Cu配線125とボンディングパッド130を接続するためのビアホールパターンを形成する。

【0079】

本実施例では、上記第1実施例の効果を有するだけでなく、プロービングおよ

びボンディング時におけるボンディングパッドへの衝撃により、上部第2Cu層120にクラックが発生し、上部第2Cu層120とボンディングパッド130との間で電気的な導通が十分に得られなくなっても、ボンディングパッド130はビアホール150および補助Cu配線125を介して内部回路との電気的な導通を確保できる。

【0080】

なお、ボンディングパッド130は補助Cu配線125を介して内部回路と接続されるため、上部Cu層100は内部回路と接続していなくてもよい。

【0081】

さらに、補助Cu配線125を上部第2Cu層120と同一層で形成したが、上部第1Cu層110などその他の導電層で形成してもよい。

【0082】

(第3実施例)

本実施例は、第2実施例で示したボンディングパッドを複数配置した場合の一例を示すものである。本実施例の構成について、以下に説明する。

【0083】

図3はボンディングパッドを複数配置した場合の一例を示す平面図および断面構造図であり、図3 (b) は、図3 (a) に示す鎖線AA'部分の断面構造図である。なお、ボンディングパッド130上のTiN膜64からポリイミド膜66までの構成は、第1実施例および第2実施例と同様なため、図に示すことを省略している。

【0084】

本実施例では、図3 (a) に示すように、スクライブ線600に近い側のボンディングパッドである外側パッド132と、外側パッド132よりチップ中心に近い側のボンディングパッドである内側パッド134とが互い違いに並んだ構成である。

【0085】

図3 (b) に示すように、下部第1Cu層210と同一層に、回路配線のための下部第1Cu配線212が形成されている。同様に、下部第2Cu層220と

同一層に、回路配線のための下部第2Cu配線222が形成されている。また、上部第2Cu層120と同一層に、回路配線のための上部第2Cu配線122が形成されている。

【0086】

外側パッド132の下には、耐衝撃層として、上部第2Cu層120、上部第1Cu層110、下部第2Cu層220および下部第1Cu層210が形成されている。外側パッド132は、補助Cu配線125およびビアプラグ140を介して、下部第1Cu配線212および下部第2Cu配線222に接続されている。

【0087】

内側パッド134の下には、耐衝撃層として、上部第2Cu層120および上部第1Cu層110が形成されている。内側パッド134は、補助Cu配線となる上部第2Cu配線122と接続されている。

【0088】

なお、内側パッド134の下に、下部第2Cu層220および下部第1Cu層210を設けるようにしてもよい。その際、隣り合う下部第2Cu配線222同士がショートしないように、下部第2Cu層220を設ける。下部第1Cu層210についても同様の構成となる。

【0089】

本実施例では、外側パッド132および内側パッド134について、第2実施例と同様に、プロービングおよびボンディング時におけるボンディングパッドへの衝撃により、ボンディングパッドにクラックが発生し、上部第2Cu層120とボンディングパッドとの間で電気的な導通が十分に得られなくなても、ボンディングパッドは補助Cu配線125を介して内部回路との電気的な導通を確保できる。

【0090】

(第4実施例)

本実施例では、下部Cu層の層間絶縁膜として、SiO₂膜の代わりに、第1の材料に比べて比誘電率の低い材料を有する第3の絶縁膜としてSiOC膜を用

いたことを特徴とする。以下に、本実施例の構成について説明する。

【0091】

図4は、本実施例の半導体装置の構成を示す断面構造図である。

【0092】

図4に示すように、下部Cu層200として、下部第1Cu層410、下部第2Cu層412、下部第3Cu層414、および下部第4Cu層416の4層を設けている。各層は、図1(a)に示した上部第1Cu層110の平面パターンと同様である。上記4層のそれぞれは、Cu層パターン間に、L-Ox膜およびSiO₂膜からなる積層絶縁膜310、314、318、322のそれぞれが介在している。また、上記4層の各層間絶縁膜として、SiOC膜312、316、320が形成されている。

【0093】

また、本実施例では、上部Cu層および下部Cu層のCu面積率を略同一にしているため、各Cu層のCu面積率が略同一となり、衝撃がより均等に分散し、衝撃耐性がさらに向上する。

【0094】

また、本実施例における積層絶縁膜310、314、318、322、326は、SiOC膜であってもよい。

【0095】

本実施例のように、層間絶縁膜に低比誘電率膜を用いることで、異なる配線層の間の配線間容量を低減できる。

【0096】

次に、上記第1実施例～第4実施例および従来技術の構成について、ボンディング後に、ボンディングワイヤの引っ張り強度を調べるワイヤブル試験を行ったので、その試験方法と結果について説明する。

【0097】

ワイヤブル試験は、ボンディングワイヤを上に引っ張り上げ、その強度が4g f未満で、ワイヤが切断したり、ボールが外れたり、ボンディングパッドが剥れたりした場合を不良と判定した。ワイヤブル試験の不良率は、図5に示した従来

技術の構成で、層間絶縁膜750がSiO₂膜である場合に約10%あり、層間絶縁膜750が低比誘電率膜のSiOC膜である場合には約20%あった。これに対して、第1実施例～第4実施例の場合では、不良率はいずれも0%であった。

【0098】

なお、上記第1実施例～第4実施例において、上部Cu層100および下部Cu層200のそれぞれは、上述の2層や4層の場合に限らず、2層および4層以外の複数層であってもよい。ここで、上部Cu層100として、半導体基板10側からボンディングパッド130側に第1Cu層、第2Cu層、…、および第nCu層（nは2以上の自然数）が順に設けられている場合、第nCu層およびビアプラグが第1の材料よりなる絶縁膜に埋設された構成となる。

【0099】

また、上部Cu層100および下部Cu層200のそれぞれは、単層であってもよい。単層にすれば、他のCu層を回路配線層として用いることができる。

【0100】

また、上部Cu層100および下部Cu層200の平面パターンがダミーパターンの場合、図1に示した形状に限られず、Cuの面積密度が均一になるようなパターンであればよい。

【0101】

また、ビアプラグ140および上部第2Cu層120をデュアルダマシン法により形成したが、シングルダマシン法によりビアプラグ140および上部第2Cu層120を別々に形成してもよい。

【0102】

また、第1の材料を有する絶縁膜としてSiO₂膜を用いたが、他の絶縁膜であってもよい。上述のように、第1の材料を有する絶縁膜がSiO₂膜である場合、上記第2の材料を有する絶縁膜をL-O_x膜とし、上記第3の材料を有する絶縁膜をSiOC膜としたが、第2の材料を有する絶縁膜および第3の材料を有する絶縁膜のそれぞれが、L-O_x膜、SiOC膜、SiC膜、SiOF膜、ポーラスSiO₂膜、ポーラスSiOC膜等の低比誘電率膜のうち少なくともいず

れか一つ含む膜であってもよい。

【0103】

また、エッチングストッパー膜およびCu拡散防止膜としてSiCN膜を用いたが、SiCNに限らず、SiC膜およびSiN膜のいずれの膜であってもよい。また、エッチングストッパー膜にSiON膜を用いてもよい。これらの膜同士で、被エッチング膜とのエッチング速度の比である選択比、および誘電率を比較し、パターン加工がしやすく、かつ配線間容量が小さくなるように、エッチングストッパー膜およびCu拡散防止膜を選択すればよい。

【0104】

また、上部Cu層100および下部Cu層200を設けることにより、ボンディング時の衝撃耐性が向上するため、上部第2Cu層120に介在するSiO₂膜44などの第1の材料を有する絶縁膜に代えて、SiO₂膜より軟質なL-O_x膜やSiOC膜などの低比誘電率膜を含む膜を設けるようにしてもよい。

【0105】

また、ボンディングパッド130のバリアメタルは、AlおよびCuが相互に拡散するのを防ぐものとして、TiN膜に限らず、TaN膜であってもよい。

【0106】

さらに、上記Cu層およびビアプラグは、SiやAl等の他の元素を微量含有するものであってもよい。

【0107】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0108】

本発明では、外部から加えられた力を跳ね返そうとする性質である弾性が酸化膜より大きいCu層を、ボンディングパッド下にバリアメタルを介して形成することにより、プロービングやボンディング時に針が跳ね返りやすく、下方に衝撃が伝わりにくくなる。そのため、衝撃耐性が向上し、ボンディングパッドにプロービングの針を立ててもパッドが破壊されることを防げる。

【0109】

また、ボンディングパッド下にCu層が形成されているので、ボンディングの際、金ワイヤーとボンディングパッドとを共晶するための超音波がL-Ox膜等の低比誘電率膜に吸収されることなく金ワイヤーとボンディングパッドに十分に伝わり、金ワイヤーとボンディングパッドとの密着性が強化され、ワイヤープル強度が大きくなる。

【0110】

さらに、ボンディングパッド部の実質的なメタル膜厚がアルミとボンディングパッド下のCu層との和となるので、プロービングおよびボンディングに対する硬度が十分になり、下層のL-Ox膜等の低比誘電率膜付近にかかる荷重が軽減される。そのため、クラックが層間絶縁膜に発生することを防げる。

【図面の簡単な説明】

【図1】

本発明の半導体装置の一構成例を示す平面図および断面構造図である。

【図2】

第2実施例の半導体装置の構成を示す断面構造図である。

【図3】

第3実施例の半導体装置の構成を示す平面図および断面構造図である。

【図4】

第4実施例の半導体装置の構成を示す断面構造図である。

【図5】

従来技術による半導体装置の一構成例を示す断面構造図である。

【符号の説明】

10 半導体基板

12、22、32、42、44、52、62、328、330 SiO₂膜

13、23、33、43 Stopper-SiCN膜

14、24、34、310、314、318、322、326 積層絶縁膜

15、25、35、45 Cap-SiCN膜

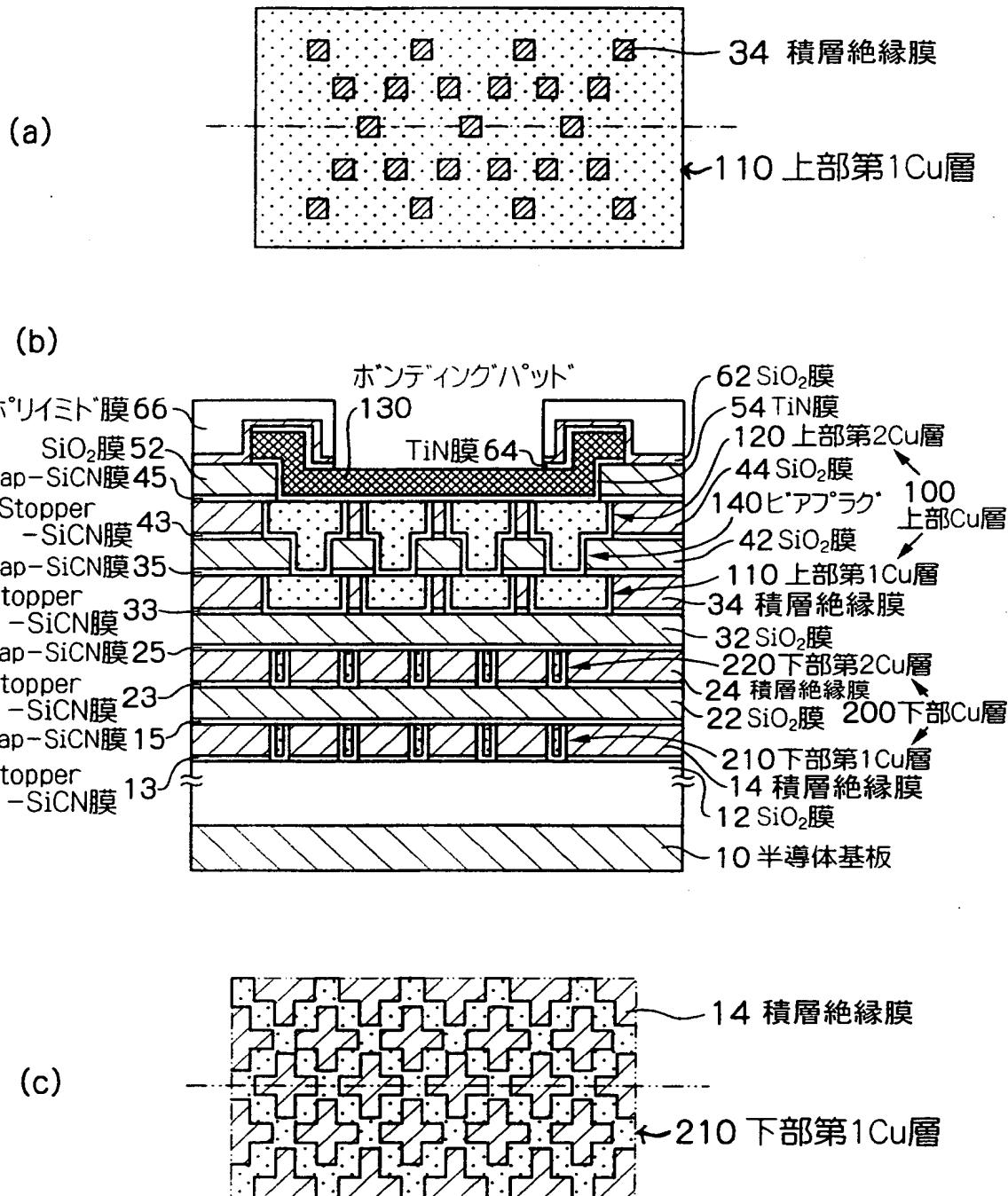
100 上部Cu層

110 上部第1Cu層
120 上部第2Cu層
122 上部第2Cu配線
125 補助Cu配線
130 ボンディングパッド
132 外側パッド
134 内側パッド
140 ビアプラグ
150 ビアホール
200 下部Cu層
210、410 下部第1Cu層
212 下部第1Cu配線
220、412 下部第2Cu層
222 下部第2Cu配線
312、316、320、324 SiOC膜
414 下部第3Cu層
416 下部第4Cu層
600 スクライブ線
700 Cu配線
710 Cu最上層パッド
720 バリアメタル
730 最上層Al配線
735 ボンディング部分
740 パッシベーション絶縁膜
750 層間絶縁膜

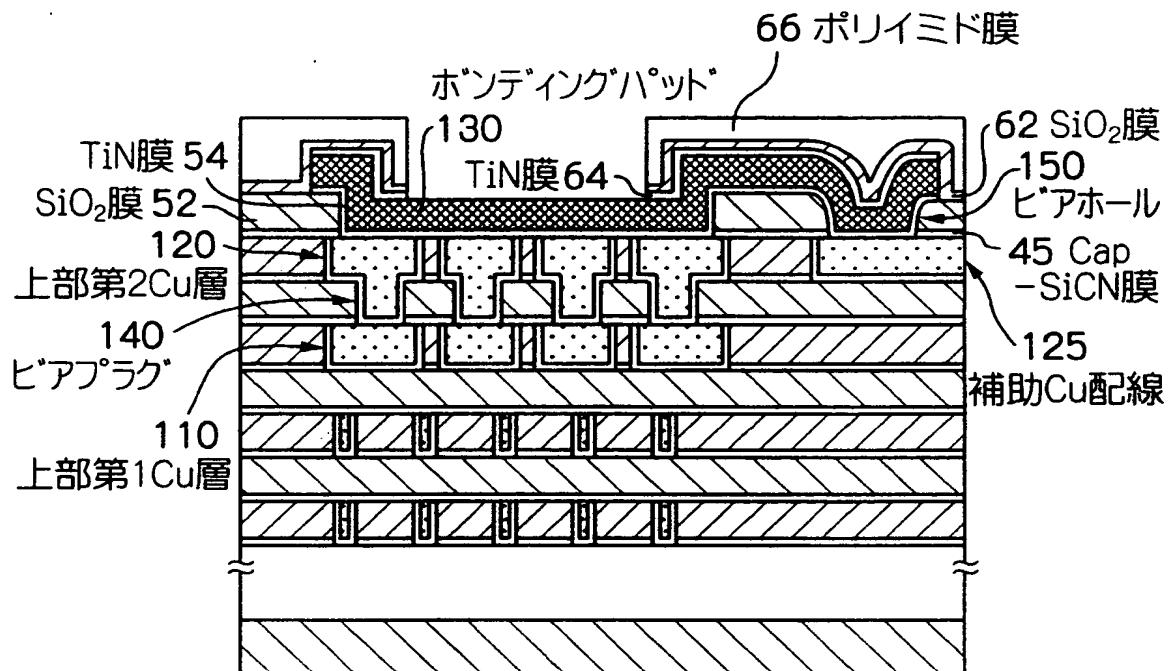
【書類名】

図面

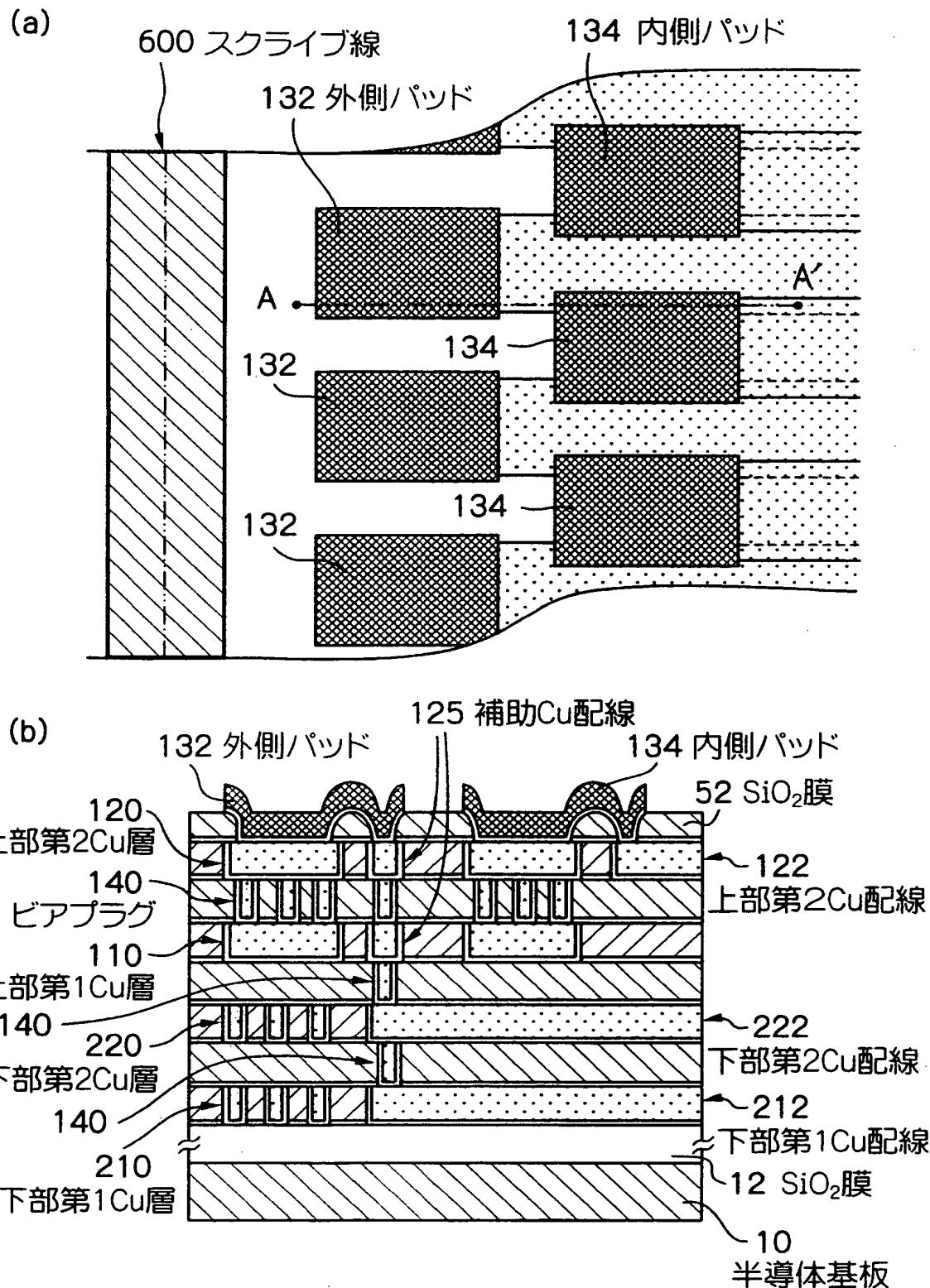
【図 1】



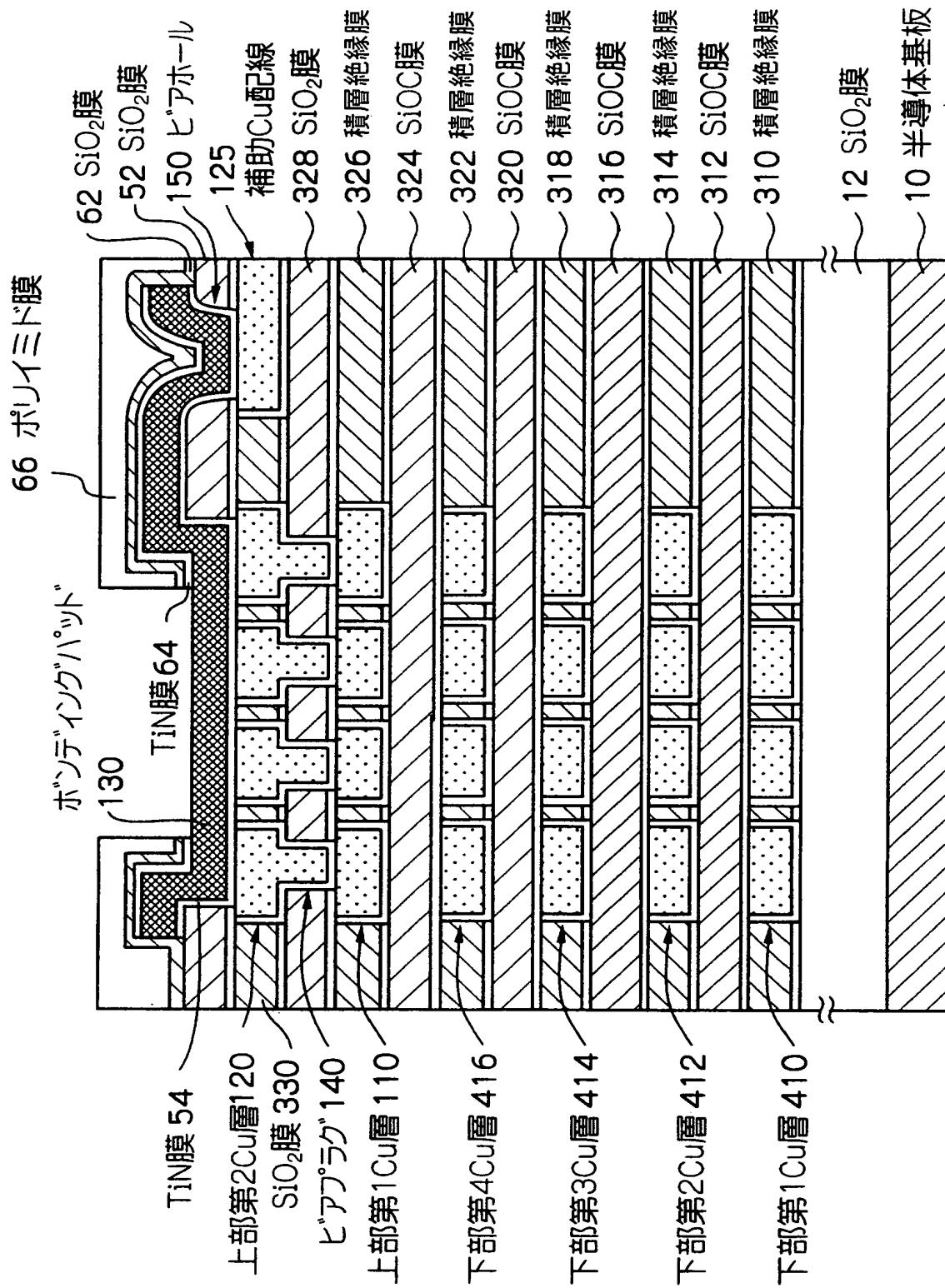
【図2】



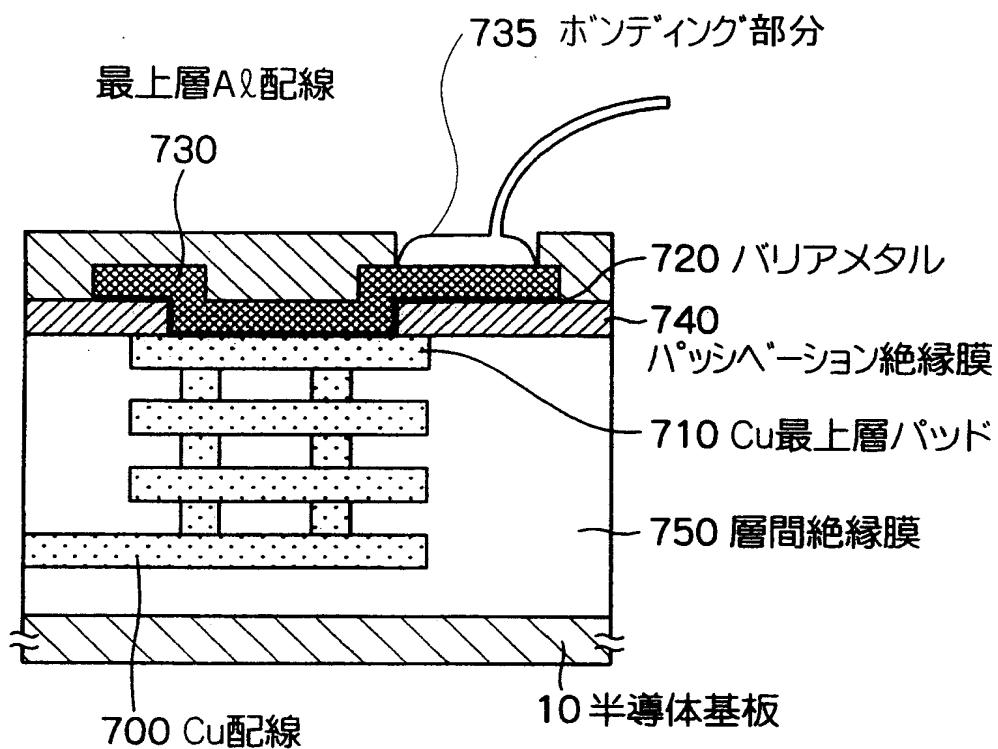
【図3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 ブロービングおよびボンディング時のボンディングパッドへの衝撃に対する耐性を向上させた半導体装置を提供する。

【解決手段】 半導体基板10上にボンディングパッド130を有する半導体装置であって、ボンディングパッド130の下面にバリアメタルを介して形成され、回路配線が形成される層よりもCu面積率が大きな上部Cu層100と、上部Cu層100と電気的に絶縁され、上部Cu層100よりも半導体基板10側に形成された下部Cu層200とを有する。

【選択図】 図1

特願 2003-021959

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社